

OT/DE 00/00224  
**BUNDESREPUBLIK DEUTSCHLAND**

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

DE 00/00224



EU

REC'D 30 MAR 2000

WIPO PCT

**Bescheinigung**

Die SIKOM Sicherheits- und Kommunikationstechnik GmbH in Magdeburg/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Verfahren zur Übernahme von Bildsignalen in einen Speicher und Schaltungsanordnung zur vorübergehenden Umschaltung des Systemtaktes eines digitalen Signalprozessors oder eines Mikroprozessors"

am 21. Januar 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol G 06 F 1/04 der Internationalen Patentklassifikation erhalten.

München, den 25. Februar 2000

**Deutsches Patent- und Markenamt**

**Der Präsident**

Im Auftrag

Aktenzeichen: 199 03 176.2

Wallner

Best Available Copy

Verfahren zur Übernahme von Bildsignalen in einen Speicher und Schaltungsanordnung zur vorübergehenden Umschaltung des Systemtaktes eines digitalen Signalprozessors oder eines Mikroprozessors

Die Erfindung betrifft ein Verfahren zur zeilenweisen Übernahme analoger Bildsignale einer CCD-Kamera in den Speicher (RAM) einer mit einem digitalen Signalprozessor (DSP) arbeitenden elektronischen Einheit zur Bildverarbeitung, bei welcher die Digitalisierung der Bilddaten mittels eines Videoprocessors (VIP) erfolgt. Weiterhin betrifft die Erfindung eine zur Durchführung des Verfahrens einsetzbare Schaltungsanordnung zur Taktumschaltung, mit deren Hilfe der Systemtakt eines DSP oder eines Mikroprozessors (CPU) auf die abweichende Taktfrequenz eines zur Taktversorgung anderer Schaltungsteile dienenden Taktsignals synchronisiert umgeschaltet werden kann.

Es sind verschiedene Möglichkeiten bekannt geworden, die Videosignale einer CCD-Kamera zu digitalisieren und zu ihrer weiteren Verarbeitung in rechnerinterne Speichereinheiten zu überführen. In vielen Fällen erfolgt die Übergabe der Bilddaten an den Speicher der Bildverarbeitungseinheit mittels analoger Abtast-IC's, die durch entsprechende Hardware auf die Synchronsignale des BAS-Signals abgestimmt sind. Dies erfordert jedoch im allgemeinen einen vergleichsweise hohen Schaltungsaufwand.

Eine andere Lösung besteht in der Verwendung eines VIP. Damit ist der Vorteil verbunden, daß der VIP je nach Typ meist über IIC-Schnittstellen programmierbar und dadurch in weiten Standards einsetzbar ist. Zudem ist es vorteilhaft, daß VIP's über Chipselekt-Signale ansprechbar sind. Jedoch tritt bei derartigen Lösungen das Problem auf, daß der VIP im allgemeinen eine eigene Taktversorgung besitzt und dabei mit einem von der Taktfrequenz des DSP abweichenden Takt getaktet wird. Zudem ist der Takt des VIP in der Regel hinsichtlich seiner Phasenlage gegenüber dem Systemtakt des DSP verschoben. Dies ist teilweise auch auf die Bildung von PLL-Schleifen in der Beschaltung des VIP zurückzuführen. Um die Zeitregime des DSP und des VIP in einem Bildverarbeitungssystem aufeinander abzustimmen, ist es daher erforderlich, die vom VIP bereitgestellten digitalen Daten in einem Pufferspeicher zwischenzuspeichern auf welchen auch der DSP Zugriff hat. Hierzu bedient man sich in der Praxis beispielsweise First-In-/First-Out-Speichern (FIFO). Die FIFO's können über entsprechende Soft- bzw. Hardwarelösungen angesteuert werden. Aufgrund der relativ umfangreichen Anzahl der hierfür benötigten Steuersignale und deren Handling sind jedoch für Schaltungen im

Frequenzbereich von 50 MHz oder darüber sehr aufwendige Entwicklungswerkzeuge erforderlich, so daß der entstehende Aufwand für reine Kommunikationslösungen nicht zu rechtfertigen ist.

Die Verwendung von FIFO's zur Kopplung voneinander frequenzunabhängiger Systeme ist beispielsweise in der DE OS 41 04 644 offenbart. Weiterhin ist aus der DE 40 12 205 eine Vorrichtung zur Eingabe von Bildsignalen in einen Bildspeicher bekannt, welche die von einem Videorekorder stammenden, einem zeitlich schwankenden Signalfluß unterliegenden Bildsignale zum Einschreiben in einen Bildspeicher zunächst in einem Pufferspeicher zwischenspeichert.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren anzugeben, welches die zeilenweise Übernahme analoger Bildsignale in den Speicher einer Bildverarbeitungseinheit bei gleichzeitig gegenüber bisher bekannten Lösungen verringertem Schaltungsaufwand ermöglicht. Weiterhin besteht die Aufgabe der Erfindung darin, eine Schaltungsanordnung zur vorübergehenden synchronisierten Umschaltung eines von einem ersten Taktsignal getakteten digitalen Signalprozessors oder Mikroprozessors auf ein zweites in seiner Taktfrequenz abweichendes und der Taktversorgung anderer Schaltungsteile dienendes Taktsignal zu schaffen.

Erfindungsgemäß wird die Aufgabe durch ein Verfahren mit den aus dem Hauptanspruch entnehmbaren Merkmalen gelöst. Vorteilhafte Ausgestaltungen des Verfahrens sind durch die Unteransprüche gegeben. Die zur Taktumschaltung verwendbare erfindungsgemäße Schaltungsanordnung ist durch die Merkmale des Patentanspruchs 4 beschrieben. Zur Schaltungsanordnung sind ebenfalls vorteilhafte Ausgestaltungen durch die auf den genannten Anspruch rückbezogenen Unteransprüche gegeben.

Das erfindungsgemäße Verfahren, bei welchem die zeilenweise Übernahme der analogen Bildsignale einer CCD-Kamera in den RAM der Bildverarbeitungseinheit mittels eines DSP erfolgt, ist dadurch charakterisiert, daß der DSP während der Übernahme der vom VIP gelieferten digitalen Bilddaten in den RAM auf die Taktfrequenz der Taktversorgung für den VIP umgeschaltet wird und die von dem VIP bereitgestellten Daten unter Fortfall einer Zwischenspeicherung unmittelbar über den Datenbus in den RAM übertragen werden.

Best Available Copy

Vorteilhaft ist das Verfahren dadurch ausgestaltet, daß die Umschaltung des DSP erfolgt, indem durch das Bildsynchron-Signal am DSP ein Interrupt ausgelöst wird und die daraufhin zur Übernahme der Daten abgearbeitete Interruptroutine zumindest nachfolgende Verfahrensschritte umfaßt:

- a) Aktivierung einer Logikeinheit zum Umschalten des Systemtaktes des DSP auf den Takt des VIP durch Ausgabe eines Interruptfreigabe-Signals,
- b) Ausgeben einer RAM-Adresse zur Erzeugung eines Chipselect-Signals zum Ansprechen einer Speicheradresse im Adressraum des VIP,
- c) Generieren und Ausgabe eines READ-Signals durch den DSP,
- d) Inkrementieren der zuletzt ausgegebenen RAM-Adresse durch den DSP, jeweils nach der Übertragung der ein Pixel des Bildes charakterisierenden Bilddaten in den RAM.

Dabei ist es erfindungswesentlich, daß das vom DSP ausgegebene READ-Signal am RAM infolge einer Invertierung als WRITE-Signal wirksam wird. Dies hat zur Folge, daß die am VIP anstehenden Bilddaten aufgrund des READ-Signals über den Datenbus gelesen und in den mit dem WRITE-Signal beaufschlagten RAM unmittelbar eingeschrieben werden.

Es ist im Sinne des erfindungsgemäßen Verfahrens, daß der DSP während der Zeilenaustastlücke mit dem von der Taktfrequenz her geringeren Takt des VIP's weiterarbeitet, aber nach dem Einlesen eines von der CCD-Kamera nach dem Zeilensprungverfahren übertragenen Halbbildes durch Rücksetzen des Interruptfreigabe-Signals auf seinen ursprünglichen Systemtakt zurückgeschaltet wird.

Eine zur Durchführung des vorgestellten Verfahrens verwendbare Schaltungsanordnung, mit welcher eine vorübergehende synchronisierte Umschaltung eines von einem ersten Taktsignal getakteten DSP oder Mikroprozessors auf ein zweites in seiner Taktfrequenz abweichendes Taktsignal realisiert werden kann, zeichnet sich dadurch aus, daß die Taktversorgung des DSP oder der CPU über den Ausgang einer Taktweiche erfolgt. Dieser Taktweiche wird über einen ersten Eingang das erste Taktsignal und über einen zweiten Eingang das zweite Taktsignal sowie über einen weiteren dritten Eingang das Ausgangssignal eines Flipflops zugeführt. Dabei ist der D-Eingang des genannten Flipflops mit dem Interruptfreigabe-Signal des DSP oder der CPU beschaltet und an seinem Takteingang mit dem Ausgang des Gatters verbunden, in welchem je nach Einsatzzweck der Schaltung zumindest das erste und das zweite Taktsignal sowie gegebenenfalls weitere an anderen Eingängen des Gatters liegende Signale miteinander UND-verknüpft werden. In der Anwendung zur Übernahme von Bilddaten in den RAM einer Bildver-

arbeitungseinheit, bei welcher während der Übernahme eine Umschaltung des während der eigentlichen Bildverarbeitung hohen Systemtaktes auf die niedrigere Taktrate des die digitalisierten Bilddaten liefernden VIP's erfolgt, werden in dem an seinem Ausgang mit dem Flipflop verbundenen Gatter der Bildpixeltakt des VIP dessen Systemtakt sowie der höhere, den DSP bei der eigentlichen Bildverarbeitung taktende Takt miteinander UND-verknüpft.

Das Setzen des Flipflops und die damit verbundene Taktumschaltung erfolgt durch die mittels des Takteingangs flankengesteuerte Übernahme des auf den D-Eingang des Flipflops geschalteten Interruptfreigabe-Signals, das vom DSP nach einem durch das Bildsynchron-Signal ausgelösten Interrupts ausgegeben wird und sonach erst dann, wenn der Pegel am Ausgang des vor dem Takteingang des Flipflops liegenden Gatters infolge der UND-Verknüpfung der drei Taktsignale (Pixeltakt VIP, Systemtakt VIP und schneller Systemtakt DSP) beispielsweise von L auf H übergeht.

In ihrer Anwendung in einer elektronischen Baugruppe zur Übernahme von Bilddaten in einen RAM ist die Schaltungsanordnung vorteilhaft ausgestaltet, wenn im Eingangsbereich der Taktweiche eine Gatterschaltung vorgesehen ist, mittels welcher einerseits eine UND-Verknüpfung des Taktsignals für den VIP mit dem Ausgangssignal des Flipflops und andererseits eine UND-Verknüpfung des höheren, den DSP während der eigentlichen Bildverarbeitung taktenden Taktsignals mit dem invertierten Ausgangssignal des Flipflops erfolgt. Gleichzeitig ist bei dieser Ausgestaltung der erfindungsgemäßen Schaltungsanordnung im Ausgangsbereich der Taktweiche eine Gatterschaltung zur ODER-Verknüpfung der Ausgangssignale der im Eingangsbereich der Taktweiche angeordneten Gatterschaltung vorgesehen.

Die beschriebene Schaltungsanordnung ermöglicht durch die UND-Verknüpfung der drei Taktsignale vor ihrer Zuführung zum Takteingang des Flipflops ein synchronisiertes Umschalten des DSP auf den niedrigeren Takt des VIP. Allerdings besteht die Gefahr, daß der resultierende dem DSP zuzuführende Ausgangstakt durch in der Schaltungsanordnung auftretende Gatterverzögerungszeiten gegenüber dem Taktsignal des VIP in unerwünschter Weise eine Phasenverschiebung erleidet. Zum Ausgleich der Gatterverzögerungszeiten bzw. der auftretenden Phasenverschiebung ist daher die im Eingangsbereich der Taktweiche vorgesehene Gatterschaltung gemäß einer vorteilhaften Weiterbildung der Erfindung so ausgebildet, daß die der Taktweiche zugeführten Taktsignale vor, ihrer UND-Verknüpfung mit dem Ausgangssignal bzw. mit dem invertierten Ausgangssignal des Flipflops zunächst selbst einer Invertierung unterzogen werden und die zur ODER-Ver-

Best Available Copy

knüpfung der Ausgangssignale des Taktweicheneingangsbereichs vorgesehene Gatterschaltung zur Realisierung der ODER-Funktion als ein NOR-Gatter mit nachgeschaltetem Inverter ausgebildet ist.

Zum beschleunigten Zurückschalten auf das den DSP oder die CPU ursprünglich taktenden ersten Taktsignals ist gemäß einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung ein RESET-Eingang des Flipflops mit dem D-Eingang des Flipflops verbunden. Je nachdem, ob der RESET-Eingang des Flipflops L- oder H-Aktiv wirkt, ist es außerdem erforderlich, in die Verbindung zwischen D-Eingang und Takteingang ein invertierendes Gatter einzuordnen. Dies ist insbesondere dann notwendig, wenn der ein RESET des Flipflops bewirkende Pegel komplementär zu dem Ausgangspegel des Flipflops ist, der die vorübergehende Umschaltung des DSP auf den langsameren Takt bewirkt.

Nachfolgend soll die Erfindung an Hand eines Ausführungsbeispiels näher erläutert werden. In der zugehörigen Zeichnung sind im einzelnen dargestellt:

Fig. 1 Die erfindungsgemäße Schaltungsanordnung in ihrer Anwendung zur vorübergehenden Umschaltung des Systemtaktes des DSP auf den Takt des VIP.

Fig. 2 Ein Blockschaltbild einer Bildverarbeitungseinheit unter Einbeziehung der Schaltungsanordnung zur Taktumschaltung gemäß Fig. 1.

In der Fig. 1 ist eine mögliche Ausführung einer Schaltungsanordnung 100 zur Taktumschaltung dargestellt, mit welcher der während der Bildverarbeitung hohe Systemtakt (Verarbeitungstakt) eines DSP 50 vorübergehend und synchronisiert auf den niedrigeren Takt eines VIP 60 umgeschaltet werden kann. Wie aus der Schaltung ersichtlich, erfolgt die Taktversorgung des DSP 50 entsprechend der Erfindung über die Taktweiche 1. Die Taktweiche 1 verfügt über drei Eingänge 11, 12, 13, wobei einem ersten Eingang 11 der quarzstabilisierte Takt zur Taktung des DSP 50 während der Bildverarbeitung, einem weiteren Eingang 12 der Takt des VIP 60 und einem letzten Eingang 13 das Ausgangssignal eines Flipflops 2 zugeführt werden. Der D-Eingang 21 des Flipflops 2 ist mit dem Interruptfreigabe-Signal des DSP 50 beschaltet, welches im Falle des durch das Bildsynchron-Signal am DSP 50 ausgelösten Interrupts H-Pegel führt. Dieser H-Pegel wird durch den Ausgang 24 des Flipflops 2 übernommen, sobald dessen Takteingang 22 im Ergebnis der an dem Gatter 3 UND-verknüpften Taktsignale von L- auf H-Pegel übergeht. In Folge der Umsetzung der Ausgangssignale des Flipflops 2 in der

Taktweiche 1 führt der Ausgang des mit dem Takt des VIP 4 beschalteten Gatters 16 wechselweise, entsprechend dem VIP-Takt L- oder H-Pegel. Der Ausgang des anderen Gatters 15 im Eingangsbereich 15, 16 der Taktweiche 1, welchem der quarzstabilisierte höhere Takt zugeführt wird, führt hingegen, aufgrund der Beschaltung mit dem invertierten Ausgangssignal des Flipflops 2, so lange, wie am Ausgang des Flipflops 2 der H-Pegel ansteht, stets L-Pegel. Über die im Ausgangsbereich 17, 18 der Taktweiche 1 vorgesehene, durch eine Reihenschaltung eines NOR-Gatters 17 mit einem Inverter 18 realisierte ODER-Verknüpfung wird in der Folge das Taktsignal des VIP 60 auf den Ausgang 14 der den DSP 50 taktenden Schaltungsanordnung 100 durchgeschaltet. Das heißt, der DSP 50 wird so lange wie das Interruptfreigabe-Signal am D-Eingang 21 des Flipflops 2 ansteht, mit dem niedrigeren Takt des VIP 60 getaktet.

Da gemäß dem erfindungsgemäßen Verfahren außer der Bereitstellung des Interruptfreigabe-Signals durch den DSP 50 ein READ-Signal ausgegeben wird, welches dem RAM 70 in invertierter Form zugeführt wird, werden die an den Datenausgängen des VIP 60 anstehenden digitalisierten Bilddaten über den Datenbus 90 unmittelbar durch den mit dem WRITE-Signal angesprochenen RAM 70 eingelesen. Die Übernahme der Daten in den RAM 70 erfolgt demnach entsprechend dem Taktregime des VIP 60. Durch die UND-Verknüpfung des Taktes für den VIP 60 mit dessen Pixeltakt sowie mit dem höheren der Taktung des DSP 50 bei der Bildverarbeitung dienenden Takt in dem Gatter 3 wird eine hinsichtlich der Phasenlage synchronisierte Umschaltung des schnellen DSP-Taktes auf den langsameren VIP-Takt erreicht.

Wie aus der Schaltung 100 weiterhin ersichtlich ist, werden zur Wahrung der im Umschaltmoment bestehenden Synchronität von VIP- und DSP-Takt Maßnahmen ergriffen, durch welche in der Schaltung 100 auftretende Gatterverzögerungszeiten ausgeglichen werden. Dies geschieht zum einen dadurch, daß der Takt des VIP 60 und der höhere Verarbeitungstakt an den entsprechenden Eingängen 11, 12 der Taktweiche 1 zunächst hinsichtlich ihrer Phasenlage invertiert werden. Außerdem erfolgt die im Ausgangsbereich 17, 18 der Taktweiche erforderliche ODER-Verknüpfung der in ihrem Eingangsbereich 15, 16 gebildeten Signale mittels eines NOR-Gatters 17 und eines diesem nachgeschalteten Inverters 18. Auf diese Weise wird erreicht, daß der jeweils auf den Ausgang 14 der Schaltungsanordnung 100 durchgeschaltete Takt stets phasengleich mit dem Takt des VIP 60 ist.

Best Available Copy

Durch die Fig. 2 ist die gesamte Schaltungsanordnung, mit welcher das erfindungsgemäße Verfahren unter Einbeziehung der erfindungsgemäßen Schaltungsanordnung 100 zur Taktumschaltung realisiert werden kann, nochmals in der Übersicht dargestellt. Der Einheit zur Taktumschaltung 100 werden, wie ersichtlich, drei Taktsignale zugeführt. Dies ist zum einen der hohe für die Bildverarbeitung verwendete Takt, beispielsweise 50 MHz, im weiteren der den VIP 60 taktende Takt, zum Beispiel 24,576 MHz, sowie der Pixel-Takt des VIP 60 (SYN-VIP). Außerdem ist wie ersichtlich, eine Interruptfrei-gabe-Leitung vom DSP 50 zur Schaltungsanordnung 100 für die Taktumschaltung (ISP) geführt. Der DSP 50 seinerseits wird über diese Schaltungsanordnung 100 mit dem jeweils benötigten Takt versorgt. Dies ist bei der Verarbeitung von Bilddaten bzw. solange keine Bilddaten eingelesen werden müssen, also beispielsweise auch innerhalb der Bildaustast-lücke zwischen zwei Halbbildern, der höhere 50 MHz-Takt und während der Übernahme von Bilddaten aus dem VIP 60 in den RAM 70 der niedrigere VIP-Takt. Zwar ist es denkbar, den DSP 50 auch während des Zeilenaustastsignals auf den höheren Takt zurück-zuschalten, jedoch ist dies wegen des damit verbundenen höheren Schaltungsaufwandes weniger sinnvoll.

Wie ersichtlich, ist der DSP 50 mit dem RAM 70 über eine Schreib-Lese-Steuerung 80 verbunden. Durch diese wird unter anderem gewährleistet, daß die jeweils richtige physikalische RAM-Adresse angesprochen und außerdem die Umformung des READ-Signals in das WRITE-Signal während der Übernahme von Daten aus dem VIP 60 bewerkstelligt. Hinsichtlich der zum Schreiben oder Lesen jeweils anzusprechenden physikalischen Adresse des RAM 70 sorgt die Schreib-Lese-Steuerung 80 dafür, daß diese Adresse jeweils mit der durch den DSP 50 bzw. den VIP 60 zugeordneten logischen Adresse korrespondiert. Dies ist insoweit erforderlich als die beiden Prozessoren 50, 60 in logisch unterschiedlichen Adressräumen arbeiten.



## Liste der verwendeten Bezugszeichen

- 10      Taktweiche
  - 11      Eingang Taktweiche für erstes Taktsignal
  - 12      Eingang Taktweiche für zweites Taktsignal (VIP-Takt)
  - 13      Eingang Taktweiche
  - 14      Ausgang Taktweiche
  - 15      Gatter im Eingangsbereich der Taktweiche
  - 16      Gatter im Eingangsbereich der Taktweiche
  - 17      Gatter im Ausgangsbereich der Taktweiche - NOR-Gatter
  - 18      Gatter im Ausgangsbereich der Taktweiche - Inverter
- 20      Flipflop
  - 21      D-Eingang Flipflop
  - 22      Takteingang Flipflop
  - 23      RESET-Eingang Flipflop
  - 24      Ausgang Flipflop
- 30      Gatter
  - 31      Eingang Gatter für erstes Taktsignal
  - 32      Eingang Gatter für zweites Taktsignal (VIP-Takt)
  - 33      Eingang Gatter für Pixeltakt von VIP
  - 34      Ausgang Gatter
- 40      Inverter
- 50      DSP
- 60      VIP
- 70      RAM
- 80      Schreib-Lese-Steuerung
- 90      Datenbus
- 100    Schaltungsanordnung zur Taktumschaltung

Test Available Copy

## Patentansprüche

1. Verfahren zur zeilenweisen Übernahme analoger Bildsignale einer CCD-Kamera in einen Speicher (RAM) einer mit einem digitalen Signalprozessor (DSP) arbeitenden elektronischen Einheit zur Bildverarbeitung, wobei die Digitalisierung der Bilddaten mittels eines Videoprozessors (VIP) erfolgt, **dadurch gekennzeichnet, daß** zur Übernahme der digitalen Bilddaten des VIP in den RAM der Systemtakt des DSP auf den Takt des VIP umgeschaltet wird und die Bilddaten, veranlaßt durch den DSP, vom VIP unmittelbar und ohne Zwischenspeicherung über den Datenbus in den RAM übertragen werden.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, daß** in Folge eines durch das Bildsynchron-Signal am DSP ausgelösten Interrupts zur Übernahme der Daten in den RAM durch den DSP eine Interruptroutine abgearbeitet wird, die zumindest die Verfahrensschritte
  - a) Aktivierung einer Logikeinheit zum Umschalten des Systemtaktes des DSP auf den Takt des VIP durch Ausgabe eines Interruptfreigabe-Signals,
  - b) Ausgeben einer RAM-Adresse zur Erzeugung eines Chipselect-Signals zum Ansprechen einer Speicheradresse im Adressraum des VIP,
  - c) Generieren und Ausgeben eines READ-Signals durch den DSP,
  - d) Inkrementieren der zuletzt ausgegebenen RAM-Adresse durch den DSP, jeweils nach der Übertragung der ein Pixel des Bildes charakterisierenden Bilddaten in den RAM,
 umfaßt, wobei das vom DSP ausgegebene READ-Signal am RAM infolge einer Invertierung als WRITE-Signal wirkt, so daß die am VIP anstehenden Bilddaten aufgrund des READ-Signals über den Datenbus gelesen und in den mit dem WRITE-Signal beaufschlagten RAM unmittelbar eingeschrieben werden.
3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet, daß** der DSP innerhalb der Zeilenaustastlücke weiterhin mit dem niedrigeren Takt des VIP getaktet weitere Bearbeitungsvorgänge ausführt, während der DSP nach dem Einlesen eines von der CCD-Kamera nach dem Zeilensprungverfahren übertragenen Halbbildes durch Rücksetzen des Interruptfreigabe-Signals auf den ursprünglichen Systemtakt zurückgeschaltet wird.

4. Schaltungsanordnung (100) zur vorübergehenden, synchronisierten Umschaltung eines von einem ersten Taktsignal getakteten digitalen Signalprozessors (DSP) (50) oder Mikroprozessors (CPU) auf ein zweites, in seiner Taktfrequenz abweichendes und zur Taktversorgung anderer Schaltungsteile dienendes Taktsignal, wobei die vorübergehende Taktumschaltung durch einen von einem vorgebbaren Ereignis ausgelösten Interrupt am DSP (50) bzw. an der CPU erfolgt, **dadurch gekennzeichnet, daß** die Taktversorgung des DSP (50) oder der CPU über den Ausgang (14) einer Taktweiche (1) erfolgt, welcher über einen ersten Eingang (11) das erste Taktsignal und über einen zweiten Eingang (12) das zweite Taktsignal zugeführt wird und die über einen dritten Eingang (13) mit dem Ausgang (24) eines Flipflops (2) verbunden ist, welches an seinem D-Eingang (21) mit einem aufgrund des Interrupts vom DSP (50) bzw. von der CPU ausgegebenen Interruptfreigabe-Signal beschaltet und an seinem Takteingang (22) mit dem Ausgang (34) eines zumindest das erste sowie das zweite Taktsignal miteinander UND-verknüpfenden Gatters (3) verbunden ist.
5. Schaltungsanordnung (100) nach Anspruch 4 zur vorübergehenden Umschaltung des Systemtaktes eines DSP (50) auf den niedrigeren Takt eines gemeinsam mit dem DSP (50) in einer Bildverarbeitungseinheit angeordneten Videoprocessors (VIP) (60), wobei der DSP (50) während der eigentlichen Bildverarbeitung mit dem höheren Takt getaktet wird und nur zur zeilenweisen Übernahme der durch den VIP (60) digitalisierten analogen Bildsignale eines Halbbildes in einen Speicher (RAM) (70) der Bildverarbeitungseinheit auf den niedrigeren Takt des VIP (60) umgeschaltet wird, **dadurch gekennzeichnet, daß** das mit dem Takteingang (22) des Flipflops (2) verbundene Gatter (3) einen dritten Eingang (33) aufweist, der mit dem Bildpixeltakt des VIP (60) beschaltet ist und daß der Bildpixeltakt von dem Gatter (3) mit den an seinen anderen beiden Eingängen (31, 32) anliegenden Taktsignalen UND-verknüpft wird, wobei das Setzen des Flipflops (2) und die damit verbundene Taktumschaltung durch die mittels seines Takteingangs (22) flankengesteuerte Übernahme des auf den D-Eingang (21) des Flipflops (2) geschalteten Interruptfreigabe-Signals erfolgt, welches vom DSP (50) nach einem durch das Bildsynchron-Signal ausgelösten Interrupt ausgegeben wird.

6. Schaltungsanordnung (100) nach Anspruch 5, **dadurch gekennzeichnet**, daß im Eingangsbereich (15, 16) der Taktweiche (1) eine Gatterschaltung vorgesehen ist, mittels welcher eine UND-Verknüpfung des Taktsignals für den VIP (60) mit dem Ausgangssignal des Flipflops (2) sowie eine UND-Verknüpfung des höheren, den DSP (50) während der eigentlichen Bildverarbeitung taktenden Taktes, mit dem invertierten Ausgangssignal des Flipflops (2) erfolgt und daß im Ausgangsbereich (17, 18) der Taktweiche (1) eine Gatterschaltung zur ODER-Verknüpfung der Ausgangssignale der im Eingangsbereich (15, 16) der Taktweiche (1) angeordneten Gatterschaltung vorgesehen ist.
7. Schaltungsanordnung (100) nach Anspruch 6, **dadurch gekennzeichnet**, daß die Gatterschaltung im Eingangsbereich (15, 16) der Taktweiche (1) so ausgebildet ist, daß die der Taktweiche (1) zugeführten Taktsignale vor ihrer UND-Verknüpfung mit dem Ausgangssignal bzw. dem invertierten Ausgangssignal des Flipflops (2) invertiert werden und daß die zur ODER-Verknüpfung im Ausgangsbereich (17, 18) der Taktweiche (1) vorgesehene Gatterschaltung als ein NOR-Gatter (17) mit nachgeschaltetem Inverter (18) ausgebildet ist.
8. Schaltungsanordnung (100) nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, daß zum beschleunigten Zurückschalten auf das den DSP (50) oder die CPU ursprünglich taktende erste Taktsignal der RESET-Eingang (23) des Flipflops (2) mit dessen D-Eingang (21) verbunden ist, wobei, für den Fall, daß der ein RESET des Flipflops (2) auslösende Pegel entgegengesetzt zu demjenigen Ausgangspegel des Flipflops (2) ist, durch welchen das vorübergehende Umschalten auf den zweiten Takt erfolgt, in der Verbindung des D-Eingangs (21) und des RESET-Eingangs (23) ein Inverter (40) angeordnet ist.

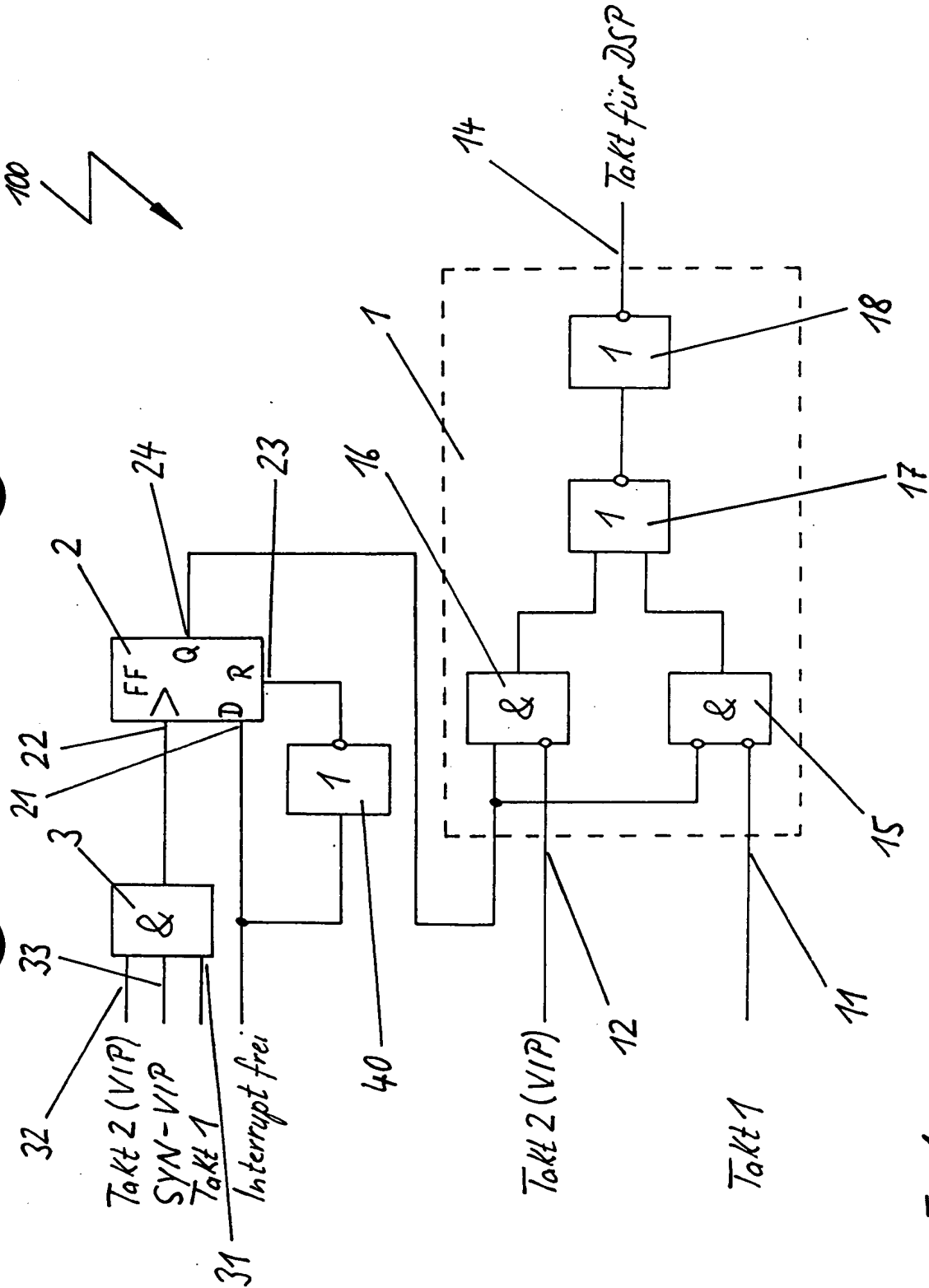


Fig. 1

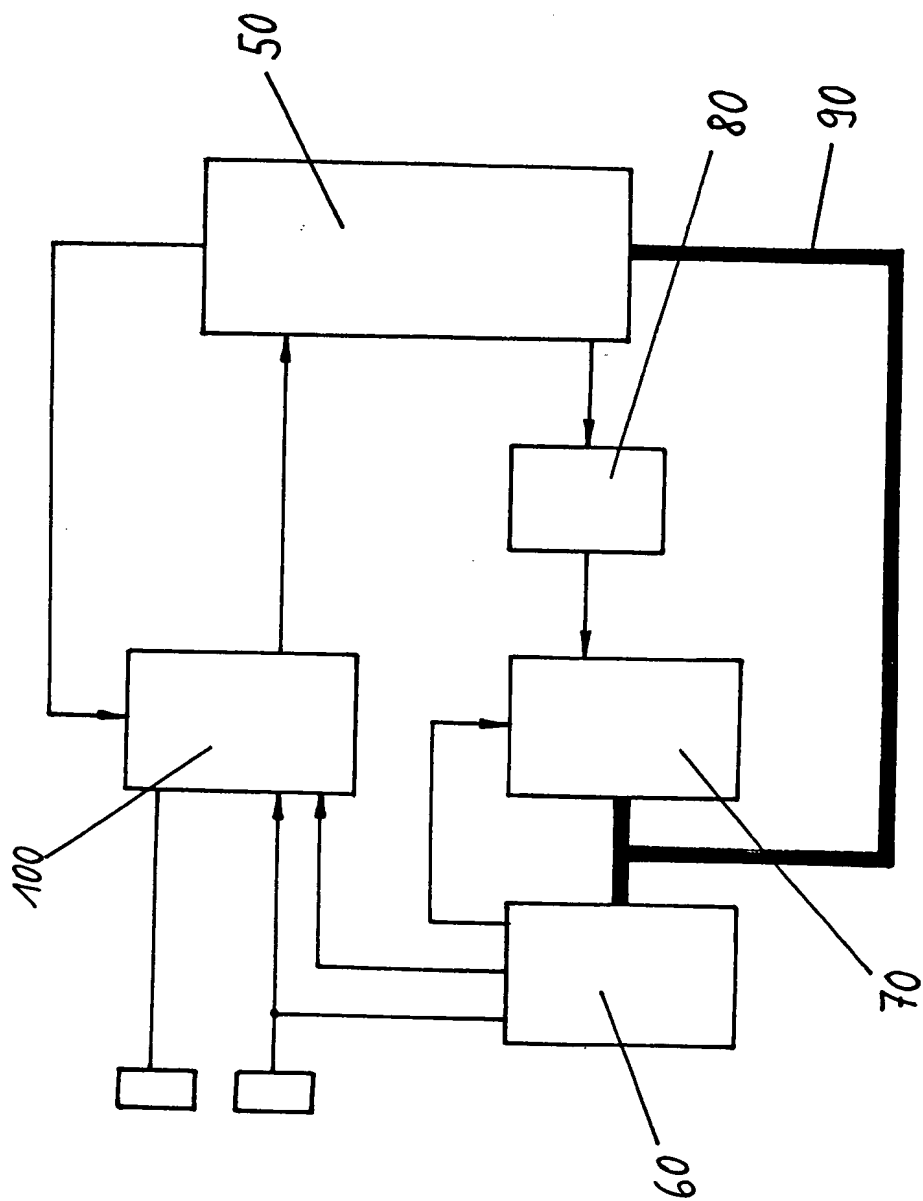


Fig. 2